

PUB-NO: EP000363626A2

DOCUMENT-IDENTIFIER: EP 363626 A2

TITLE: Digital signal level conversion circuit arrangement.

PUBN-DATE: April 18, 1990

INVENTOR-INFORMATION:

NAME

FIRTH, STEPHEN P

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

EUROSIL ELECTRONIC GMBH

COUNTRY

DE

APPL-NO: EP89116225

APPL-DATE: September 2, 1989

PRIORITY-DATA: DE03832378A (September 23, 1988)

INT-CL (IPC): H03K019/017, H03K019/0175

EUR-CL (EPC): H03K017/0412 ; H03K017/66, H03K019/0175

ABSTRACT:

CHG DATE=19990617 STATUS=O> The invention relates to a circuit arrangement for level conversion of digital signals which is connected to a first, second and third potential and which sets its output, corresponding to a signal level supplied to its input, to the first or second potential, the first potential corresponding to the high level and the second potential corresponding to the low level of the converted digital signals. According to the invention, the circuit arrangement exhibits a first and second power receiver which controls

an output stage connected to the output, and a first and second voltage supply unit which is supplied with the first and second potential, respectively, and which generate a fourth and fifth potential, respectively, in such a manner that the potential differences of the first and fourth potential and of the second and of the fifth potential, respectively, become adjusted to a constant value, independently of the values of the first and second potential, respectively, these two potential differences being applied as operating voltage source in each case to the first and second power amplifier, respectively. Furthermore, the first and second inputs of the power receivers are in each case connected and connected to the third potential and to the input, respectively. The circuit according to the invention exhibits a high switching rate with low power consumption and can be advantageously used as pin electronics for IC test systems. <IMAGE>

(12) **EUROPÄISCHE PATENTANMELDUNG**

(21) Anmeldenummer: 89116225.7

(51) Int. Cl.⁵: H03K 19/017

(22) Anmeldetag: 02.09.89

(30) Priorität: 23.09.88 DE 3832378

(43) Veröffentlichungstag der Anmeldung:
18.04.90 Patentblatt 90/16

(84) Benannte Vertragsstaaten:
DE FR GB IT NL

(71) Anmelder: EUROSIL electronic GmbH
Erfurter Strasse 16
D-8057 Eching(DE)

(72) Erfinder: Firth, Stephen P.
4 The Farthings North Pentwyn
Near Cardiff South Wales(GB)

(74) Vertreter: Maute, Hans-Jürgen, Dipl.-Ing.
TELEFUNKEN electronic GmbH
Theresienstrasse 2
D-7100 Heilbronn(DE)

(54) **Schaltungsanordnung Pegelumsetzung digitaler Signale.**

(57) Die Erfindung betrifft eine Schaltungsanordnung zur Pegelumsetzung digitaler Signale, welche an ein erstes, zweites und drittes Potential gelegt ist und die ihren Ausgang entsprechend einem an ihrem Eingang zugeführten Signalpegel auf das erste oder zweite Potential legt, wobei dem ersten Potential der High-Pegel und dem zweiten Potential der Low-Pegel der umgesetzten Digitalsignale entspricht. Erfindungsgemäß weist die Schaltungsanordnung einen ersten und zweiten Leitungsempfänger auf, der eine mit dem Ausgang verbundene Endstufe steuert, sowie eine erste und zweite Spannungsversorgungseinheit, denen das erste bzw. zweite Potential zugeführt ist, und die ein viertes bzw. fünftes Potential derart erzeugen, daß sich die Potentialdifferenzen des ersten und vierten Potentials bzw. des zweiten und des fünften Potentials unabhängig von den Werten des ersten bzw. zweiten Potentials auf einen konstanten Wert einstellt, wobei diese beiden Potentialdifferenzen als Betriebsspannungsquelle jeweils an den ersten bzw. zweiten Leitungsempfänger angelegt werden. Ferner sind jeweils die ersten und zweiten Eingänge der Leitungsempfänger verbunden und an das dritte Potential bzw. an den Eingang angeschlossen. Die erfindungsgemäße Schaltung weist bei niedrigem Stromverbrauch eine hohe Schaltgeschwindigkeit auf und ist mit Vorteil als Pin-elektronik für IC-Testsysteme einsetzbar.

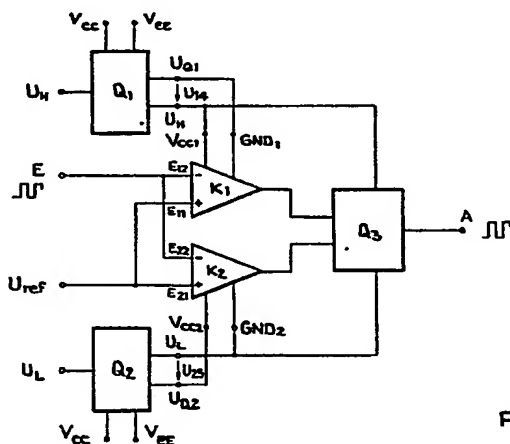


FIG. 1

EP 0 363 626 A2

Schaltungsanordnung zur Pegelumsetzung digitaler Signale

Die Erfindung betrifft eine Schaltungsanordnung zur Pegelumsetzung digitaler Signale gemäß dem Oberbegriff des Anspruchs 1.

Derartige Schaltungen werden beispielsweise in digitalen Systemen als Koppelglied zwischen zwei Schaltkreisfamilien mit unterschiedlichen logischen Pegeln verwendet. Beispielsweise setzt die Pinelektronik eines IC-Testsystems ein TTL- oder ein ECL-Eingangssignal auf ein anderes Signal mit programmierbarem Spannungshub und Spannungsbereich um, das an den Prüfling gelegt wird. Eine solche Pinelektronik-Schaltung ist aus dem "Referenz Manual" der Fairchild Camera and Instrument Corporation, Publication Number 57 11 0004, March 1983, ECO Number 11991, Seite 2-14, Fig. 2-7 bekannt.

Diese bekannte Schaltung enthält zwei miteinander verbundene Diodenbrücken, die jeweils an einem ersten Referenzpotential und einem zweiten Referenzpotential angeschlossen sind, die dem High-Pegel bzw. Low-Pegel der umgesetzten Digitalsignale entsprechen. An zwei weiteren Anschlüssen wird jeweils das umzusetzende Digitalsignal bzw. ein Referenzsignal angelegt, während am Verbindungspunkt der beiden Diodenbrücken das Ausgangssignal der Schaltung abgreifbar ist. In Abhängigkeit des an den Eingang angelegten Pegels wird eine der beiden Diodenbrücken von einem Konstantstrom durchflossen, der von einer Konstantstromquelle erzeugt ist. Hierdurch gelangt das entsprechende Referenzpotential an den Verbindungspunkt der beiden Diodenbrücken, der mit dem Prüfling verbunden ist.

Ein Nachteil dieser bekannten Schaltung besteht in einem großen Energieverbrauch, da ständig durch eine der beiden Diodenbrücken ein Konstantstrom fließt, der auch sehr groß ist, um eine hohe Schaltgeschwindigkeit der Schaltung zu gewährleisten.

Aufgabe der Erfindung ist es eine Schaltungsanordnung der eingangs genannten Art zu schaffen, die einen geringen Energieverbrauch aufweist und einen einfachen Aufbau erlaubt.

Diese Aufgabe wird durch den kennzeichnenden Teil des Anspruchs 1 gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind den Unteransprüchen zu entnehmen.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnungen genauer beschrieben. Es zeigt:

Figur 1 ein Blockschaltbild einer erfindungsgemäßen Schaltungsanordnung,

Figur 2 eine schaltungstechnische Ausführung der erfindungsgemäßen Schaltung gemäß Fi-

gur 1, und

Figur 3a und 3b Impulsdigramme von umzusetzenden und umgesetzten Digitalsignalen.

Die Figur 1 zeigt eine Schaltungsanordnung mit zwei als Komparatoren arbeitenden Leitungsempfänger K_1 und K_2 , deren Ausgänge mit einer Endstufe Q_3 , die einen Ausgang A aufweist, verbunden sind. Die nicht-invertierenden bzw. invertierenden Eingänge E_{11} und E_{21} bzw. E_{12} und E_{22} sind jeweils verbunden und an ein Referenzpotential (drittes Potential) U_{ref} bzw. an den Eingang E der Schaltung angeschlossen.

Ferner weist diese erfindungsgemäße Schaltung zwei Spannungsversorgungseinheiten Q_1 und Q_2 auf, an die außer den beiden Betriebsspannungsquellen V_{CC} und V_{EE} jeweils ein erstes und zweites Potential U_H und U_L angelegt ist. Diese beiden Spannungsversorgungseinheiten erzeugen jeweils ein viertes und fünftes Potential U_{Q1} und U_{Q2} , so daß an deren Ausgängen neben diesem vierten und fünften Potential U_{Q1} und U_{Q2} auch das erste und zweite Potential U_H und U_L abgreifbar sind, wobei diese Potentiale U_H und U_L auch an die Endstufe Q_3 weitergeleitet werden.

Das von der ersten Spannungsversorgungseinheit Q_1 erzeugte vierte Potential U_{Q1} ist kleiner als das von ihr an ihrem Ausgang durchgeschaltete erste Potential U_H und weist immer den gleichen Abstand zu diesem Potential auf, das heißt, das vierte Potential wird so erzeugt, daß die Potentialdifferenz $U_H - U_{Q1} = U_{14}$ immer konstant ist. Diese Spannung U_{14} dient als Betriebsspannungsquelle für den ersten Leitungsempfänger K_1 , indem das erste Potential U_H auf den Betriebsspannungsanschluß V_{CC1} und das vierte Potential U_{Q1} auf den Bezugspotentialanschluß GND_1 gelegt ist.

In gleicher Art und Weise erzeugt die zweite Spannungsversorgungseinheit Q_2 mit Hilfe des fünften Potentials U_{Q2} , das größer als das zweite Potential U_L ist, eine konstante Potentialdifferenz $U_{Q2} - U_L = U_{25}$, die ebenfalls als Betriebsspannungsquelle für den zweiten Leitungsempfänger K_2 eingesetzt ist. Hierbei ist das fünfte Potential an den Betriebsspannungsanschluß V_{CC2} und das zweite Potential an den Bezugspotentialanschluß GND_2 gelegt. Somit können die beiden Leitungsempfänger K_1 und K_2 mit niedriger Spannung versorgt werden, um den Energieverbrauch zu minimieren.

Am Ausgang A der erfindungsgemäßen Schaltung gemäß Figur 1 stehen die umgesetzten Signale zur Verfügung, wobei deren Signalpegel - High-Pegel und Low-Pegel - von dem den Spannungsversorgungseinheiten Q_1 und Q_2 zugeführten ersten und zweiten Potential U_H und U_L abhängen.

Wenn dem Eingang E beispielsweise TTL-Signale zur Umsetzung zugeführt werden, liegt das Referenzpotential (drittes Potential) U_{ref} zwischen dem höchsten TTL-Signalpegel und dem niedrigsten. Liegt nun am Eingang E ein High-Pegel, so steuern die beiden Leitungsempfänger K_1 und K_2 die Endstufe Q_3 derart an, daß auf dem Ausgang A das erste Potential U_H geschaltet wird. Liegt umgekehrt ein Low-Pegel am Eingang E, wird der Ausgang A auf das zweite Potential U_L gelegt.

Somit lassen sich alle digitalen Eingangssignale in entsprechende digitale Ausgangssignale umsetzen, deren Signalpegel in weiten Bereichen durch das erste und zweite Potential bestimmbar sind.

Die Figur 2 zeigt die schaltungstechnische Ausführung der beiden Spannungsversorgungseinheiten Q_1 und Q_2 so wie der Endstufe Q_3 , wobei die beiden Leitungsempfänger K_1 und K_2 gemäß der Figur 1 verschaltet sind.

Die Spannungsversorgungseinheit Q_1 bzw. Q_2 besteht aus einem Operationsverstärker OP_1 bzw. OP_2 , einem pnp- bzw. npn-Transistor T_1 bzw. T_2 , einem Spannungsregler S_1 bzw. S_2 , jeweils drei Widerständen R_{11} bis R_{13} bzw. R_{21} bis R_{23} und jeweils drei Kondensatoren C_{11} bis C_{13} bzw. C_{21} bis C_{23} .

Der nicht-invertierende bzw. invertierende Eingang des Operationsverstärkers OP_1 bzw. OP_2 ist mit der Kollektorelektrode des pnp- bzw. npn-Transistors T_1 bzw. T_2 verbunden bzw. an das erste bzw. zweite Potential U_H bzw. U_L angeschlossen, während dessen Ausgang über jeweils einen ersten Widerstand R_{11} bzw. R_{21} mit der Basiselektrode des pnp- bzw. npn-Transistors T_1 bzw. T_2 verbunden ist. Die Emittierelektroden des Transistors T_1 bzw. T_2 liegen auf dem Potential der ersten bzw. zweiten Betriebsspannungsquelle V_{CC} bzw. V_{EE} . Jeweils der zweite Widerstand R_{12} bzw. R_{22} sowie jeweils die ersten und zweiten Kondensatoren C_{11} und C_{12} bzw. C_{21} und C_{22} verbinden die Kollektorelektrode des Transistors T_1 bzw. T_2 mit der zweiten bzw. ersten Betriebsspannungsquelle V_{EE} bzw. V_{CC} , während jeweils der dritte Widerstand R_{13} bzw. R_{23} die Basiselektrode des pnp- bzw. npn-Transistors T_1 bzw. T_2 mit der zweiten bzw. ersten Betriebsspannungsquelle V_{EE} bzw. V_{CC} verbindet. Der Spannungsregler S_1 bzw. S_2 ist mit seinem Eingang S_{E1} bzw. S_{E2} an die zweite bzw. erste Betriebsspannungsquelle V_{EE} bzw. V_{CC} angeschlossen, während sein Ausgang S_{A1} bzw. S_{A2} über jeweils den dritten Kondensator C_{13} bzw. C_{23} mit jeweils seinem Betriebspotentialanschluß GND_{S1} bzw. GND_{S2} verbunden ist, der gleichzeitig an der Kollektorelektrode des pnp- bzw. npn-Transistors T_1 bzw. T_2 liegt. Der jeweilige Ausgang S_{A1} bzw. S_{A2} des Spannungsreglers S_1 bzw. S_2 , der jeweils das vierte und fünfte Potential U_{Q1} bzw. U_{Q2} liefert,

ist mit dem Bezugspotentialanschluß GND_1 bzw. mit dem Betriebsspannungsanschluß V_{CC1} des ersten bzw. des zweiten Leitungsempfängers K_1 bzw. K_2 verbunden. Schließlich bildet jeweils die Kollektorelektrode des Transistors T_1 bzw. T_2 , die auf dem ersten bzw. zweiten Potential U_H bzw. U_L liegt, die Anschlußelektrode für die Betriebsspannung V_{CC1} bzw. für das Bezugspotential GND_2 des ersten bzw. zweiten Leitungsempfängers K_1 bzw. K_2 .

Die Endstufe Q_3 enthält einen pnp- und npn-Endstufentransistor T_{31} und T_{32} , vier Dioden D_{31} bis D_{34} und sechs Widerstände R_{31} bis R_{36} . Die beiden Kollektorelektroden der Endstufentransistoren T_{31} und T_{32} sind verbunden und bilden den Ausgangsanschluß der Schaltungsanordnung. Die beiden Widerstände R_{31} und R_{34} als auch die beiden Serienschaltungen aus dem Widerstand R_{32} und der Diode D_{31} und aus dem Widerstand R_{35} und der Diode D_{33} verbinden jeweils die Basiselektrode des Transistors T_{31} und des Transistors T_{32} mit jeweils den Ausgängen der beiden Leitungsempfänger K_1 und K_2 , wobei die Diode D_{31} bzw. D_{33} kathodenseitig mit der Basiselektrode des Transistors T_{31} bzw. T_{32} verbunden ist. Schließlich sind jeweils die Emittierelektroden der Endstufentransistoren T_{31} bzw. T_{32} über die Diode D_{32} und D_{34} als auch über die Widerstände R_{33} und R_{36} mit deren Basiselektroden verbunden, hierbei ist die Anode bzw. Kathode der Diode D_{32} bzw. D_{34} an die Basiselektrode des Endstufentransistors T_{31} bzw. T_{32} angeschlossen.

Ferner sind jeweils die Emittierelektroden der Endstufentransistoren T_{31} und T_{32} zur Übertragung des ersten und zweiten Potentials U_H und U_L an die Kollektorelektrode des Transistors T_1 bzw. T_2 der ersten bzw. zweiten Spannungsversorgungseinheit Q_1 bzw. Q_2 angeschlossen.

Nun soll im folgenden die Funktion dieser Schaltung gemäß der Figur 2 erläutert werden, wobei wieder angenommen werden soll, daß dem Eingang E die beispielsweise in Figur 3a dargestellten TTL-Signale zur Umsetzung zugeführt werden. Hierbei betrage der High-Pegel $U_{E,H}$ ca. 2,4 V und der Low-Pegel $U_{E,L}$ ca. 0,8 V. Die Figur 3b zeigt beispielhaft eine umgesetzte Signalfolge, wobei der High-Pegel U_H 1,5 V und der Low-Pegel 0 V beträgt. Diese beiden Pegel entsprechen den beiden Spannungsversorgungseinheiten Q_1 bzw. Q_2 jeweils zugeführten Potentiale U_H und U_L . Das Referenzpotential U_{ref} beträgt ca. 1,4 V.

Liegt am Eingang E ein Low-Pegel von 0,8 V an, so schalten die als Komparatoren arbeitenden beiden Leitungsempfänger K_1 und K_2 ihre Eingänge auf minimale Ausgangsspannung. Diese Schaltflanke wird jeweils über das Widerstands-Dioden-Netzwerk auf die Basiselektrode des Endstufentransistors T_{31} bzw. T_{32} übertragen. Da diese Transistoren entgegengesetzten Leitfähigkeitstyp aufwei-

sen, sperrt der Endstufentransistor T_{31} , während der Endstufentransistor T_{32} in den leitenden Zustand übergeht. Hierdurch wird das auf dem Emitter des Endstufentransistors T_{32} liegende zweite Potential U_L auf die Kollektorelektrode durchgeschaltet, so daß am Ausgang A das gewünschte Low-Signal erscheint. Wird umgekehrt ein

High-Pegel von ca. 2,4 V an den Eingang E gelegt, schalten die beiden Leitungsempfänger K_1 und K_2 ihre Ausgänge auf maximale Ausgangsspannung, wodurch der Endstufentransistor T_{31} in den leitenden und der Endstufentransistor T_{32} in den sperrenden Zustand übergeht. Durch den Endstufentransistor T_{31} wird jetzt das erste Potential U_H auf dessen Kollektorelektrode geschaltet, das damit am Ausgang A zur Verfügung steht.

Die beiden Spannungsversorgungseinheiten Q_1 und Q_2 sind identisch aufgebaut und unterscheiden sich nur in den Polaritäten und den Leitfähigkeitstypen der Transistoren, weshalb auch deren Funktionen einander gleich sind. Es soll daher beispielhaft nur die Funktion der ersten Spannungsversorgungseinheit Q_1 erläutert werden, da hieraus die Funktion der zweiten Spannungsversorgungseinheit Q_2 unter Beachtung der genannten Unterschiede leicht abgeleitet werden kann.

Der Operationsverstärker OP_1 regelt den Verstärkertransistor T_1 derart, daß sich an der Kollektorelektrode das erste Potential U_H einstellt, wobei der Widerstand R_{12} der Kollektorwiderstand des Transistors ist und mit den beiden Widerständen R_{11} und R_{13} sein Arbeitspunkt eingestellt wird.

Der Spannungsregler S_1 erzeugt in Abhängigkeit des an seinem Bezugspotentialanschluß GND_{S1} anliegenden ersten Potential U_L ein viertes Potential U_{Q1} , das beispielsweise um 5 V niedriger als das erste Potential U_H ist. Diese Potentialdifferenz dient als Betriebsspannungsquelle für den ersten Leitungsempfänger K_1 , wobei diese Spannung jedoch immer auf einem konstanten Wert unabhängig von demjenigen des ersten Potential U_H bleibt.

Der erste Kondensator C_{11} wirkt als Filter, während der zweite Kondensator C_{12} zur Stabilisierung der Eingangsspannung V_{EE} dient. Schließlich unterdrückt der dritte Kondensator C_{13} kurze und hohe Spannungsspitzen (Transienten).

Im Gegensatz zum Spannungsregler S_1 erzeugt der Spannungsregler S_2 der zweiten Spannungsversorgungseinheit Q_2 ein fünftes Potential U_{Q2} , das beispielsweise um 5 V höher als das zweite Potential U_L ist. Somit ist gewährleistet, daß an dem Betriebsspannungsanschluß V_{CC1} bzw. V_{CC2} des ersten Leitungsempfängers K_1 bzw. des zweiten Leitungsempfängers K_2 immer gegenüber dem Bezugspotentialanschluß GND_1 bzw. GND_2 eine konstante Spannung anliegt, beispielsweise für beide Leitungsempfänger 5 V.

Die Schaltflanken am Ausgang der Leitungs-

empfänger K_1 bzw. K_2 werden über ein Widerstands-Schottky-Dioden-Netzwerk auf die Basislektrode des Transistors T_{31} bzw. T_{32} übertragen. Der Widerstand R_{31} bzw. R_{34} dient zur Einstellung der Arbeitspunkte des Transistors T_{31} bzw. T_{32} . Die diese Widerstände jeweils überbrückende Serienschaltung aus dem Widerstand R_{32} und der Diode D_{31} bzw. dem Widerstand R_{35} und der Diode D_{33} verkürzt die Anstiegszeiten der Schaltflanken. Der Widerstand R_{33} bzw. R_{36} gewährleistet ein sicheres Sperren des Transistors T_{31} bzw. T_{32} , während mit der Diode D_{32} bzw. D_{34} ein sicherer Übergang vom leitenden in den sperrenden Zustand des Transistors T_{31} bzw. T_{32} erzielbar ist.

Die erfindungsgemäße Schaltungsanordnung wurde mit diskreten Bauteilen gemäß der folgenden Stückliste aufgebaut, wobei für die beiden Leitungsempfänger K_1 und K_2 ein Vierfach-Differential-Leitungsempfänger AM26LS33 von Advanced Micro Devices eingesetzt wurde und der Spannungsregler S_1 ein Negativ-Spannungsregler MC7905C und der Spannungsregler S_2 ein Positiv-Spannungsregler MC78T05 von Motorola ist. $R_{11} = 10 \text{ k}\Omega$

$R_{12} = 10 \text{ k}\Omega$

$R_{13} = 2,7 \text{ k}\Omega$

$R_{21} = 10 \text{ k}\Omega$

$R_{22} = 10 \text{ k}\Omega$

$R_{23} = 2,7 \text{ k}\Omega$

$R_{31} = 7,5 \text{ k}\Omega$

$R_{32} = 150 \Omega$

$R_{33} = 2,7 \text{ k}\Omega$

$R_{34} = 7,5 \text{ k}\Omega$

$R_{35} = 150 \Omega$

$R_{36} = 2,7 \text{ k}\Omega$

$C_{11} = 1 \mu\text{F}$

$C_{12} = 2,2 \mu\text{F}$

$C_{13} = 1 \mu\text{F}$

$C_{21} = 1 \mu\text{F}$

$C_{22} = 2,2 \mu\text{F}$

$C_{23} = 1 \mu\text{F}$

$D_{31} = \text{BYS-21-45}$

$D_{32} = 1\text{N } 6263$

$D_{33} = \text{BYS-21-45}$

$D_{34} = 1\text{N } 6263$

$T_1 = \text{BD } 148$

$T_2 = \text{BD } 138$

$T_{31} = 2\text{N } 3985$

$T_{32} = 2\text{N } 3983$

$OP_1 = \text{LM } 741$

$OP_2 = \text{LM } 741$

Diese erfindungsgemäße Schaltungsanordnung kann in vorteilhafter Weise als Pinelektronik-Schaltung in einem IC-Tester eingesetzt werden, wobei sich diese Pinelektronik durch einen niedrigen Stromverbrauch von nur 35 mA pro Pin bei einer 10 MHz-Testrate und einem Spannungshub von 20 V auszeichnet. Hierbei sind zwei Betriebsspannungs-

gen von + 15 V (V_{CC}) und - 15 V (V_{EE}) notwendig. Bei einem Spannungshub von 5 V erreicht die Schaltung eine Testrate von 30 MHz. Der maximale Pin-zu-Pin-Skew beträgt $\pm 1,5$ ns, während die Ausgangsimpedanz der beiden Endstufentransistoren T_{31} und T_{32} der Endstufe Q_3 einen Wert von 50 Ω aufweist.

Ansprüche

1) Schaltungsanordnung zur Pegelumsetzung digitaler Signale, welche an ein erstes, zweites und drittes Potential (U_H , U_L , U_{ref}) gelegt ist und die ihren Ausgang (A) entsprechend einem an ihrem Eingang (E) zugeführten Signalpegel auf das erste oder zweite Potential (U_H , U_L) legt, dadurch gekennzeichnet, daß ein erster und zweiter Leitungsempfänger (K_1 , K_2) mit jeweils einem ersten und zweiten Eingang (E_{11} , E_{12} , E_{21} , E_{22}) eine mit dem Ausgang (A) verbundene Endstufe (Q_3) steuert, daß die ersten und zweiten Eingänge (E_{11} , E_{12} , E_{21} , E_{22}) der beiden Leitungsempfänger (K_1 , K_2) jeweils verbunden und an das dritte Potential (U_{ref}) bzw. an den Eingang (E) gelegt sind, daß eine erste und zweite Spannungsversorgungseinheit (Q_1 , Q_2) in linearer Abhängigkeit von dem ihnen jeweils zugeführten ersten und zweiten Potential (U_H , U_L) jeweils ein viertes und fünftes Potential (U_{Q1} , U_{Q2}) derart erzeugt, daß sich die Potentialdifferenz (U_{14} bzw. U_{25}) des ersten und vierten Potentials (U_H , U_{Q1}) bzw. des zweiten und fünften Potentials (U_L , U_{Q2}) unabhängig von den Werten des ersten bzw. zweiten Potentials (U_H , U_L) auf einen konstanten Wert einstellt, so daß diese beiden Potentialdifferenzen (U_{14} , U_{25}) als Betriebsspannungsquelle jeweils an den ersten bzw. zweiten Leitungsempfänger (K_1 , K_2) anlegbar sind.

2) Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß das dritte Potential (U_{ref}) zwischen dem höchsten und dem niedrigsten Eingangssignalpegel liegt.

3) Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das vierte Potential (U_{Q1}) kleiner als das erste Potential (U_H) und das fünfte Potential (U_{Q2}) größer als das zweite Potential (U_L) ist.

4) Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Werte der beiden Potentialdifferenzen (U_{14} , U_{25}) übereinstimmen.

5) Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Endstufe (Q_3) mit der ersten und der zweiten Spannungsversorgungseinheit (Q_1 , Q_2) zur Übertragung des ersten bzw. zweiten Potentials verbunden ist.

6) Schaltungsanordnung nach einem der voran-

gehenden Ansprüche, dadurch gekennzeichnet, daß der Spannungshub der dem Eingang (E) zugeführten Signalpegel den Wert der von den beiden Spannungsversorgungseinheiten (Q_1 , Q_2) erzeugten Potentialdifferenzen (U_{14} , U_{25}) übersteigt.

7) Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die erste und zweite Spannungsversorgungseinheit (Q_1 , Q_2) jeweils einen Spannungsregler (S_1 , S_2) zur Erzeugung des vierten und fünften Potentials enthält.

8) Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die nicht-invertierenden bzw. invertierenden Eingänge (E_{11} , E_{12} , E_{21} , E_{22}) der beiden Leitungsempfänger (K_1 , K_2) verbunden sind und an das dritte Potential bzw. an den Eingang (E) gelegt sind.

9) Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die erste bzw. zweite Spannungsversorgungseinheit (Q_1 bzw. Q_2) folgende Elemente enthält:

a) einen ersten bzw. zweiten Operationsverstärker (OP_1 , OP_2), dessen invertierender Eingang mit dem ersten bzw. zweiten Potential (U_H , U_L) verbunden ist,

b) einen pnp- bzw. npn-Transistor (T_1 , T_2), dessen Kollektorelektrode mit dem nicht-invertierenden Eingang des ersten bzw. zweiten Operationsverstärkers (OP_1 , OP_2) verbunden ist, dessen Emittierelektrode auf dem Potential einer ersten bzw. zweiten Betriebsspannungsquelle (V_{CC} , V_{EE}) liegt und dessen Basiselektrode über jeweils einen ersten Widerstand (R_{11} , R_{21}) mit dem Ausgang des ersten bzw. zweiten Operationsverstärkers (OP_1 , OP_2) angeschlossen ist,

c) jeweils einen zweiten Widerstand (R_{12} bzw. R_{22}), der zwischen dem nicht-invertierenden Eingang des ersten bzw. zweiten Operationsverstärkers (OP_1 , OP_2) und der zweiten bzw. ersten Betriebsspannungsquelle (V_{EE} , V_{CC}) angeordnet ist,

d) jeweils einen ersten und zweiten Kondensator (C_{11} , C_{12} bzw. C_{21} , C_{22}), die jeweils den Pol der zweiten bzw. ersten Betriebsspannungsquelle (V_{EE} , V_{CC}) mit der Kollektorelektrode des pnp- bzw. npn-Transistors (T_1 , T_2) verbinden,

e) jeweils einen dritten Widerstand (R_{13} bzw. R_{23}), der die Basiselektrode des pnp- bzw. npn-Transistors (T_1 , T_2) mit dem Potential der zweiten bzw. ersten Betriebsspannungsquelle (V_{EE} , V_{CC}) verbindet,

f) einen ersten bzw. zweiten Spannungsregler (S_1 , S_2), dessen Eingang (S_{E1} bzw. S_{E2}) mit der zweiten bzw. ersten Betriebsspannungsquelle (V_{EE} , V_{CC}) verbunden ist, dessen Bezugspotentialanschluß (GND_{S1} bzw. GND_{S2}) sowohl an die Kollektorelektrode des pnp- bzw. npn-Transistors (T_1 , T_2) als auch an den Betriebsspannungsanschluß

(V_{CC1}) bzw. an den Bezugspotentialanschluß (GND_2) des ersten bzw. zweiten Leitungsempfängers (K_1 , K_2) angeschlossen ist und dessen Ausgang (S_{A1} bzw. S_{A2}) mit dem Bezugspotentialanschluß (GND_{K1}) bzw. des Betriebsspannungsanschlusses (V_{CC2}) des ersten bzw. zweiten Leitungsempfängers (K_1 , K_2) verbunden ist,

g) jeweils einen dritten Kondensator (C_{13} bzw. C_{23}), der den Ausgangsanschluß (S_{A1} bzw. S_{A2}) des ersten bzw. zweiten Spannungsreglers (S_1 , S_2) mit dessen Bezugspotentialanschluß (GND_1 bzw. GND_2) verbindet.

10) Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Endstufe (Q_3) folgende Elemente enthält:

a) einen ersten pnp-Endstufentransistor (T_{31}), dessen Basiselektrode über einen ersten Widerstand (R_{31}) mit dem Ausgang des ersten Leitungsempfängers (K_1) verbunden ist, und dessen Emittierelektrode an den Betriebsspannungsanschluß (V_{CC1}) des ersten Leitungsempfängers (K_1) angeschlossen ist,

b) einen zweiten Widerstand (R_{32}) und eine erste Diode (D_{31}), die in Serie geschaltet sind und den Ausgang des ersten Leitungsempfängers (K_1) mit der Basiselektrode des ersten Endstufentransistors (T_{31}) verbinden, wobei die Kathode der ersten Diode (D_{31}) an die Basiselektrode des ersten Endstufentransistors (T_{31}) angeschlossen ist und deren Anode mit dem zweiten Widerstand (R_{32}) verbunden ist,

c) einen dritten Widerstand (R_{33}) und eine zweite Diode (D_{32}) zum jeweiligen Verbinden der Basiselektrode des ersten Endstufentransistors (T_{31}) mit dessen Emittierelektrode, wobei die Kathode der zweiten Diode (D_{32}) an die Emittierelektrode des ersten Endstufentransistors (T_{31}) angeschlossen ist und deren Anode an dessen Basiselektrode,

d) einen zweiten npn-Endstufentransistor (T_{32}), dessen Basiselektrode über einen vierten Widerstand (R_{34}) mit dem Ausgang des zweiten Leitungsempfängers (K_2) verbunden ist, dessen Emittierelektrode an den Bezugspotentialanschluß (GND_2) des zweiten Leitungsempfängers (K_2) angeschlossen ist, und dessen Kollektorelektrode mit der Kollektorelektrode des ersten Endstufentransistors (T_{31}) als auch mit dem Ausgang (A) verbunden ist,

e) einen fünften Widerstand (R_{35}) und eine dritte Diode (D_{33}), die in Serie geschaltet sind und den Ausgang des zweiten Leitungsempfängers (K_2) mit der Basiselektrode des zweiten Endstufentransistors (T_{32}) verbinden, wobei die Kathode der dritten Diode (D_{33}) an den fünften Widerstand (R_{35}) angeschlossen ist und deren Anode mit der Basiselektrode des zweiten Endstufentransistors (T_{32}) verbunden ist,

f) einen sechsten Widerstand (R_{36}) und eine vierte Diode (D_{34}) zum jeweiligen Verbinden der Basiselektrode des zweiten Endstufentransistors (T_{32}) mit dessen Kollektorelektrode, wobei die Kathode der vierten Diode (D_{34}) an die Basiselektrode des zweiten Endstufentransistors (T_{32}) angeschlossen ist und deren Anode an dessen Emittierelektrode.

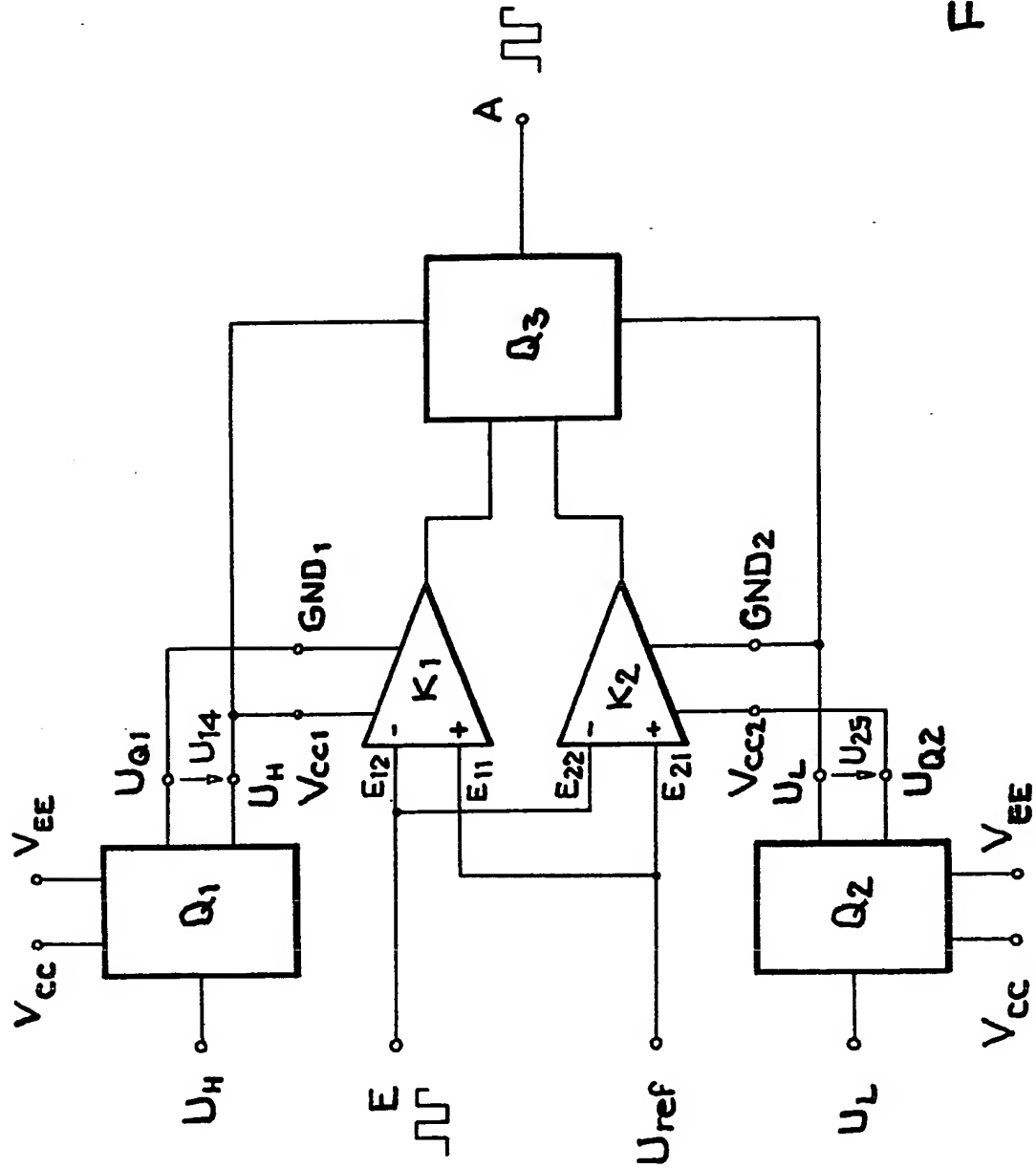


FIG. 1

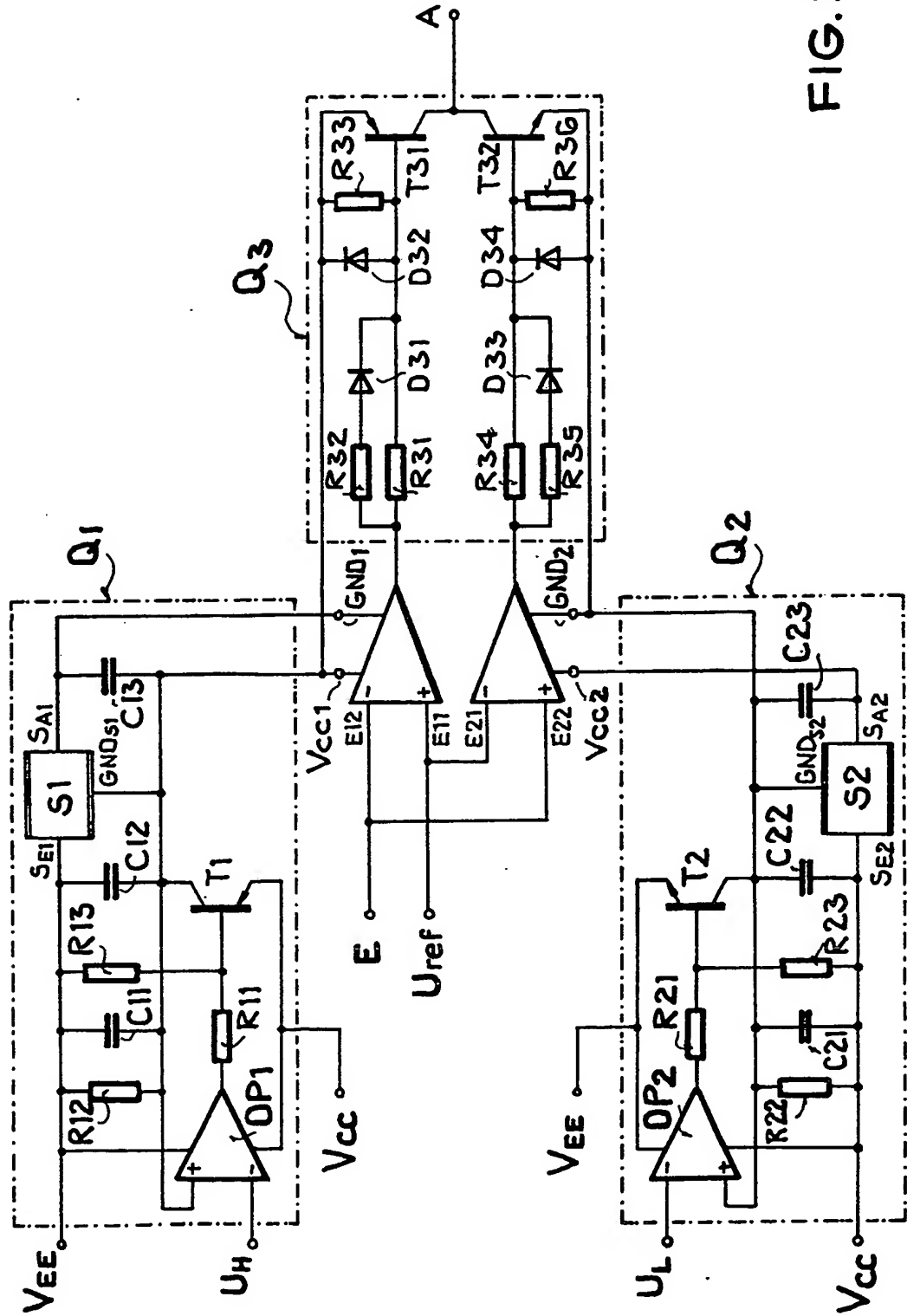


FIG. 2

FIG. 3a

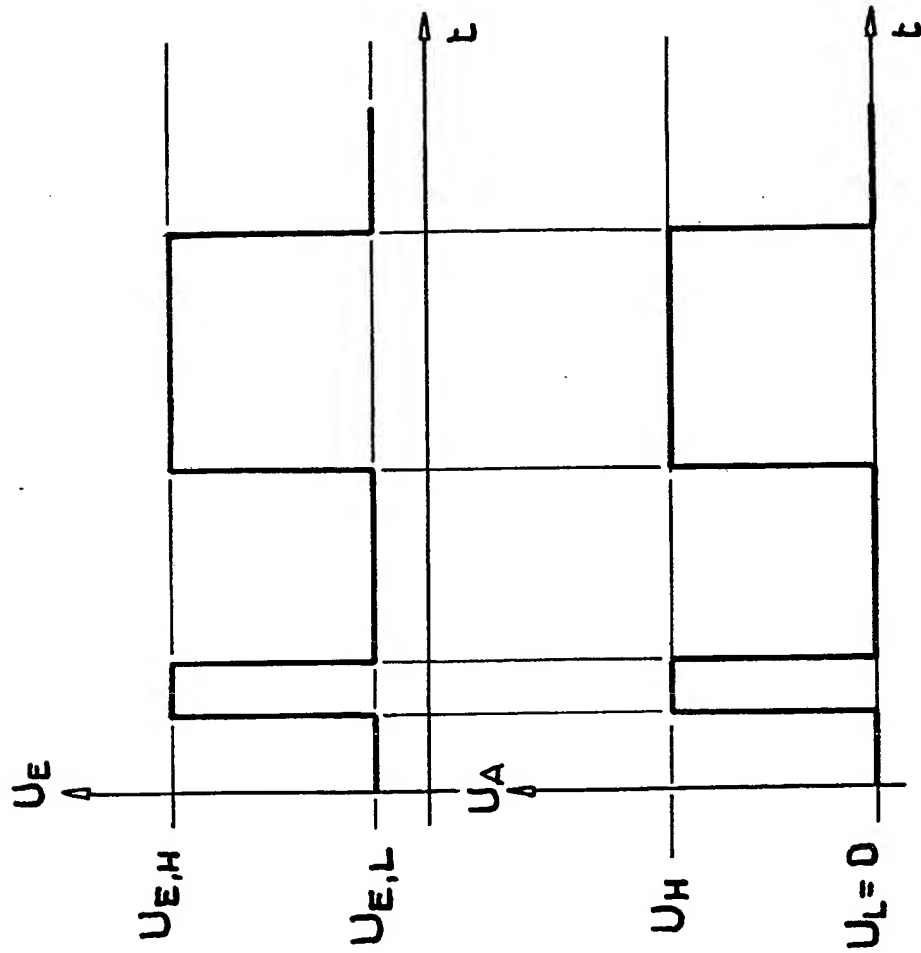


FIG. 3b